

SEMICONDUCTOR DEVICE

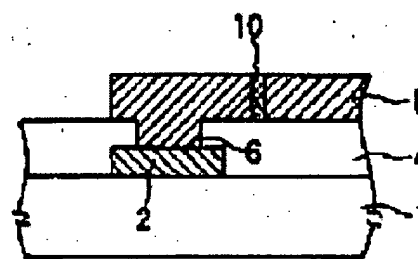
Patent number: JP5121557
 Publication date: 1993-05-18
 Inventor: SAITO TOMIYASU
 Applicant: FUJITSU LTD
 Classification:
 - international: H01L21/82; H01L27/04
 - european:
 Application number: JP19910282411 19911029
 Priority number(s):

[View INPADOC patent family](#)

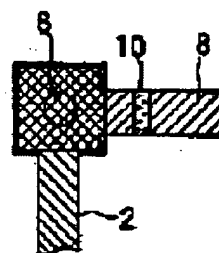
Abstract of JP5121557

PURPOSE: To provide a semiconductor device having a stable antifuse structure in which a period of time from designing to an end of manufacture can be shortened and an irregularity in a writing voltage is eliminated in the device having the structure.

CONSTITUTION: A semiconductor device has a lower wiring 2 formed on a semiconductor substrate 1, an insulating film 4 formed on the substrate 1 and the wiring 2 and having a contact hole 6 on the wiring 2, and an upper wiring 8 connected to the wiring 2 through the hole 6 and formed on the film 4, and comprises an amorphous silicon layer 10 buried in a cut part obtained by electrically cutting the wiring 2 and 8 by removing part of the metal of the wiring 2 or 8.



(a)



(b)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-121557

(43) 公開日 平成5年(1993)5月18日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
27/04	D	8427-4M		
		9169-4M	H 0 1 L 21/82	F

審査請求 未請求 請求項の数5(全5頁)

(21) 出願番号 特願平3-282411

(22) 出願日 平成3年(1991)10月29日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 斉藤 富康

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 北野 好人

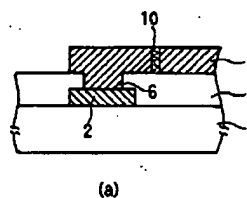
(54) 【発明の名称】 半導体装置

(57) 【要約】

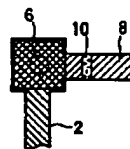
【目的】 本発明は、アンチ・ヒューズ構造を有する半導体装置に関し、設計から製造終了までの時間を短縮でき、また書き込み電圧のばらつきを生じない安定したアンチ・ヒューズ構造を有する半導体装置を提供することを目的とする。

【構成】 半導体基板1上に形成された下部配線2と、半導体基板1上及び下部配線2上に形成され、下部配線2上にコンタクトホール6を有する絶縁膜4と、コンタクトホール6を介して下部配線2と接続され、絶縁膜4上に形成された上部配線8とを有する半導体装置において、下部配線2又は上部配線8の配線金属の一部を除去して下部配線2と上部配線8とを電気的に切断した切断部にアモルファスシリコン層10が埋込まれているように構成する。

本発明の第1の実施例による半導体装置を示す図



(a)



(b)

1…半導体基板
2…下部配線
4…絶縁膜
6…コンタクトホール
8…上部配線
10…アモルファスシリコン層

【特許請求の範囲】

【請求項1】 下部配線と、前記下部配線上に形成され前記下部配線上に開口部を有する絶縁膜と、前記開口部を介して前記下部配線と接続され前記絶縁膜上に形成された上部配線とを有する半導体装置において、前記下部配線又は前記上部配線の配線金属の一部を除去して前記下部配線と前記上部配線とを電気的に切断した切断部にアモルファスシリコン層が埋込まれていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記切断部は、前記絶縁膜上の前記上部配線に設けられていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記切断部は、前記上部配線又は前記下部配線の前記開口部周囲に設けられていることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、前記切断部は、前記開口部下の前記下部配線に設けられていることを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれかに記載の半導体装置において、前記配線金属は、アルミニウム合金又はタングステンであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アンチ・ヒューズ構造を有する半導体装置に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化が進み、半導体装置の設計開始から製造終了までに長時間を要している。この問題を解決するために、予め半導体基板上に半導体素子を形成し、さらに配線の接続までも済ませておき、その後、設計に応じて配線の接続を変えて必要な回路を形成することができるアンチ・ヒューズ構造が考案されている。

【0003】 アンチ・ヒューズとは、通常の溶断ヒューズ等とは逆に、初期状態は非導通で、書き込み操作によって導通状態になるヒューズのことである。従来の半導体素子の構造では、設計段階の初期から回路の配線接続を考慮しなくてはならなかったが、アンチ・ヒューズ構造を採用することにより、半導体装置、特にFPGAやPROMの設計から製造終了までの時間を短縮させることができるようになった。

【0004】

【発明が解決しようとする課題】 このアンチ・ヒューズ構造は、半導体装置のコンタクトホール、或いはスルーホール内にアモルファスシリコン層を形成することを基本構造としている。しかし、このアンチ・ヒューズ構造を有する半導体装置は、アンチ・ヒューズ構造を有しない半導体装置と比較して製造工程上での工数が増大する

という問題を有している。さらに、半導体装置が微細化することに対応してコンタクトホール、スルーホールの微細化を図る必要があるが、コンタクトホール、スルーホールが微細化すると、その内部に形成するアモルファスシリコン層の膜厚を一定にすることが困難になり、書き込み電圧にばらつきを生じてしまうという問題があった。

【0005】 本発明の目的は、設計から製造終了までの時間を短縮でき、また書き込み電圧のばらつきを生じない安定したアンチ・ヒューズ構造を有する半導体装置を提供することにある。

【0006】

【課題を解決するための手段】 上記目的は、下部配線と、前記下部配線上に形成され前記下部配線上に開口部を有する絶縁膜と、前記開口部を介して前記下部配線と接続され前記絶縁膜上に形成された上部配線とを有する半導体装置において、前記下部配線又は前記上部配線の配線金属の一部を除去して前記下部配線と前記上部配線とを電気的に切断した切断部にアモルファスシリコン層が埋込まれていることを特徴とする半導体装置によって達成される。

【0007】

【作用】 本発明によれば、設計から製造終了までの時間を短縮でき、また書き込み電圧のばらつきを生じない安定したアンチ・ヒューズ構造を有する半導体装置を実現できる。

【0008】

【実施例】 本発明の第1の実施例による半導体装置を図1を用いて説明する。図1(a)は本実施例の半導体装置の断面図、図1(b)は平面図である。本実施例の半導体装置は、同一配線上にアンチ・ヒューズ構造が形成されていることに特徴を有している。

【0009】 半導体基板1上に、配線金属として例えばAl合金を用いた、厚さ0.8 μ m、幅2 μ mの下部配線2が形成されている。半導体基板1上及び下部配線2上には、絶縁膜4が半導体基板1から1.8 μ m、下部配線2から0.8 μ mの厚さでほぼ平坦化されて形成されている。下部配線2上の絶縁膜4には、内径が1 μ m程度のコンタクトホール6が形成されている。

【0010】 配線金属として例えばAl合金を用い、コンタクトホール6により下部配線2と接続している上部配線8が絶縁膜4上に形成されている。絶縁膜4上での上部配線8の厚さは0.8 μ m、幅は2 μ mである。絶縁膜4上の上部配線8には、配線金属であるAl合金を一部除去して電気的に切断し、その切断部にアモルファスシリコン層10を挟み込んだアンチ・ヒューズが形成されている。アモルファスシリコン層10の厚さ及び幅は上部配線8の厚さ及び幅と同じであり、配線方向の厚さは0.2~0.3 μ mである。

【0011】 このように、本実施例の半導体装置によれ

ば、従来の半導体装置のようにコンタクトホール6内にアモルファスシリコン層10を形成するのではなく、同一配線上にアモルファスシリコン層10を挟み込んだアンチ・ヒューズ構造であるため製造工程が簡単になる。従って、全体の製造工程に要する時間を短縮させることができる。また、アモルファスシリコン層10の膜厚を所定の厚さにすることが容易であるので、書込み電圧のばらつきを低減させることができる。

【0012】さらに、上部配線パターン、下部配線パターン、及びコンタクトホールのパターンの形成についてそれぞれ設計段階の初期から相互の関係を考慮して設計しなければならない従来の設計方法に比べ、予め任意に素子及び配線をつなぎ込んでおき、最終的にアンチ・ヒューズを用いて配線の導通、非導通を決定するだけで所望の配線構造が得られるという利点を有する。

【0013】なお、本実施例では上部配線8にアモルファスシリコン層10を形成した場合について説明したが、下部配線2に本実施例と同様にアモルファスシリコン層10を形成してもよい。本発明の第2の実施例による半導体装置を図2を用いて説明する。図2(a)は本実施例の半導体装置の断面図、図2(b)は平面図である。

【0014】本実施例の半導体装置は、アンチ・ヒューズ構造がコンタクトホール周囲の上部配線に設けられていることを特徴としている。半導体基板1上に、配線金属として例えばA1合金を用いた、厚さ0.8 μ m、幅2 μ mの下部配線2が形成されている。半導体基板1上及び下部配線2上には、絶縁膜4が半導体基板1から1.8 μ m、下部配線2から0.8 μ mの厚さでほぼ平坦化されて形成されている。下部配線2上の絶縁膜4には、内径が1 μ m程度のコンタクトホール6が形成されている。

【0015】配線金属として例えばA1合金を用い、コンタクトホール6により下部配線2と接続している上部配線8が絶縁膜4上に形成されている。絶縁膜4上での上部配線8の厚さは0.8 μ m、幅は2 μ mである。コンタクトホール6周囲上部の上部配線8に、コンタクトホールより広い径で、配線金属であるA1合金を除去し、電気的に切断されたリング状の切断部が形成されている。その切断部内にアモルファスシリコン層10が埋め込まれて、アンチ・ヒューズが形成されている。アモルファスシリコン層10の厚さは上部配線8の厚さと同じであり、半径方向の厚さは0.2~0.3 μ mである。

【0016】このように、本実施例の半導体装置によっても、コンタクトホール内にアモルファスシリコン層を形成しないので、第1の実施例と同様に従来のアンチ・ヒューズよりも製造工程を簡単にすることができる。また、アモルファスシリコン層10の膜厚を所定の厚さにすることが容易であるので、書込み電圧のばらつきを低

減させることができる。

【0017】なお、本実施例においては上部配線8にアモルファスシリコン層10を形成した場合について説明したが、下部配線2にアモルファスシリコン層10を形成しても同様の効果が得られる。本発明の第3の実施例による半導体装置を図3を用いて説明する。図3(a)は本実施例の半導体装置の断面図、図3(b)は平面図である。

【0018】本実施例の半導体装置は、アンチ・ヒューズ構造がコンタクトホール底部の下部配線に設けられていることを特徴としている。半導体基板1上に、配線金属として例えばA1合金を用いた、厚さ0.8 μ m、幅2 μ mの下部配線2が形成されている。下部配線2のコンタクトホール形成予定領域に、コンタクトホールの底面積よりも広い面積にアモルファスシリコン層10を埋込んでアンチ・ヒューズが形成されている。アモルファスシリコン層10の厚さは下部配線2の厚さと同じである。

【0019】半導体基板1上及び下部配線2上には、絶縁膜4が半導体基板1から1.8 μ m、下部配線2から0.8 μ mの厚さでほぼ平坦化されて形成されている。下部配線2のコンタクトホール形成予定領域に形成されたアモルファスシリコン層10上の絶縁膜4に、内径が1 μ m程度のコンタクトホール6が形成されている。絶縁膜4上には、配線金属として例えばA1合金を用い、コンタクトホール6により下部配線2と接続している上部配線8が形成されている。絶縁膜4上の上部配線8の厚さは0.8 μ m、幅は2 μ mである。

【0020】このように、本実施例の半導体装置によっても、第1及び第2の実施例と同様に従来のアンチ・ヒューズよりも製造工程を簡単にすることができる。また、アモルファスシリコン層10の膜厚を所定の厚さにすることが容易であるので、書込み電圧のばらつきを低減させることができる。本発明の第4の実施例による半導体装置を図4を用いて説明する。

【0021】図4(a)は本実施例の半導体装置の断面図、図4(b)は平面図である。本実施例の半導体装置は、アンチ・ヒューズ構造がコンタクトホール底部の下部配線の配線金属に形成した凹部に設けられていることを特徴としている。半導体基板1上に、配線金属として例えばA1合金を用いた、厚さ0.8 μ m、幅2 μ mの下部配線2が形成されている。下部配線2のコンタクトホール形成予定領域に、コンタクトホールの底面積よりも広い面積を有し、深さが0.2~0.3 μ mの凹部が形成され、この凹部にアモルファスシリコン層10が埋め込まれてアンチ・ヒューズを形成している。

【0022】半導体基板1上及び下部配線2上には、絶縁膜4が半導体基板1から1.8 μ m、下部配線2から0.8 μ mの厚さでほぼ平坦化されて形成されている。下部配線2のコンタクトホール形成予定領域の凹部に形

5

成されたアモルファスシリコン層10上の絶縁膜4に、内径が1 μ m程度のコンタクトホール6が形成されている。

【0023】絶縁膜4上には、配線金属として例えばAl合金を用い、コンタクトホール6で下部配線2と接続している上部配線8が形成されている。絶縁膜4上での上部配線8の厚さは0.8 μ m、幅は2 μ mである。このように、本実施例の半導体装置によっても、第1乃至第3の実施例と同様に従来のアンチ・ヒューズよりも製造工程を簡単に行うことができる。また、アモルファスシリコン層10の膜厚を所定の厚さにすることが容易であるので、書き込み電圧のばらつきを低減させることができる。さらに、第3の実施例による半導体装置のアンチ・ヒューズに比べて、アモルファスシリコン層の層厚が薄いので、第3の実施例による半導体装置よりも小さな書き込み電圧でアンチ・ヒューズを導通させることができる。

【0024】本発明は、上記実施例に限らず種々の変形が可能である。例えば、上記実施例では、下部配線が半導体基板上に形成されている場合について本発明を適用したが、下部配線下にさらに他の配線層が存在している場合であっても本発明を適用することはもちろん可能である。また、上記実施例では、配線金属にAl合金を用

6

いたが、他の金属、例えばタングステン等の高融点金属を用いてもよい。

【0025】

【発明の効果】以上の通り、本発明によれば、設計から製造終了までの時間を短縮でき、また書き込み電圧のばらつきを生じない安定したアンチ・ヒューズ構造を有する半導体装置を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置を示す図である。

【図2】本発明の第2の実施例による半導体装置を示す図である。

【図3】本発明の第3の実施例による半導体装置を示す図である。

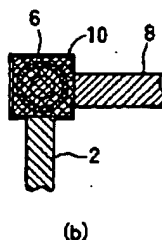
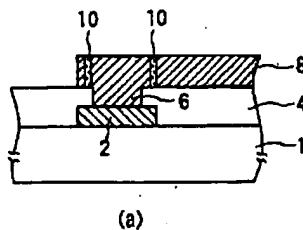
【図4】本発明の第4の実施例による半導体装置を示す図である。

【符号の説明】

- 1…半導体基板
- 2…下部配線
- 4…絶縁膜
- 6…コンタクトホール
- 8…上部配線
- 10…アモルファスシリコン層

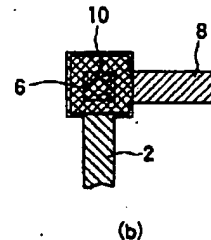
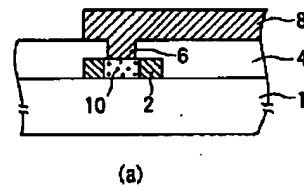
【図2】

本発明の第2の実施例による半導体装置を示す図



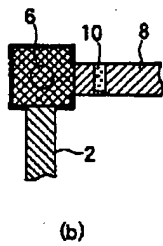
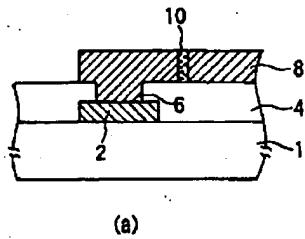
【図3】

本発明の第3の実施例による半導体装置を示す図



【図1】

本発明の第1の実施例による半導体装置を示す図



- 1…半導体基板
- 2…下部配線
- 4…絶縁層
- 6…コンタクトホール
- 8…上層配線
- 10…アモルファスシリコン層

【図4】

本発明の第4の実施例による半導体装置を示す図

